

Docket No.: 56937-109

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masahiro UEMINAMI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 12, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR APPARATUS	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-035901, filed February 14, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: February 12, 2004

56937-109
UEMINAMI et al.
February 12, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 4 日
Date of Application:

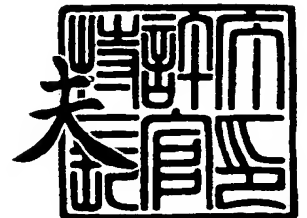
出 願 番 号 特 願 2 0 0 3 - 0 3 5 9 0 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 5 9 0 1]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 1 0 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 泰



【書類名】 特許願

【整理番号】 5038340129

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/00

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 上南 雅裕

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 小谷 久和

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 六戸 勝彦

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 複数の隣接する端子間のそれぞれに介挿されたスイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端および他端にそれぞれ接続された導通試験用端子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子とを備えている半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、さらに、複数の前記直列接続体における複数の前記抵抗素子の個々の抵抗値が重み付けされている半導体装置。

【請求項 3】 複数の隣接する端子間のそれぞれに介挿されたスイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうちの他端を接地電位に対して接続する接地電位側スイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位変動を検出する論理素子と、前記論理素子の出力側に接続された導通試験用端子とを備えている半導体装置。

【請求項 4】 1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第 1 の半導体チップと第 2 の半導体チップが実装され、前記第 1 の半導体チップ上のチップ間接続端子の各々と前記第 2 の半導体チップ上のチップ間接続端子の各々とが 1 つずつワイヤを介して接続された半導体装置であって、

複数の隣接する前記ワイヤ間で、前記第 1 の半導体チップの側と前記第 2 の半導体チップの側とで交互となる状態で介挿されたスイッチ素子と、一連の前記スイッチ素子の直列接続体の一端および他端にそれぞれ接続された導通試験用端子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子とを備えている半導体装置。

【請求項 5】 請求項 4 に記載の半導体装置において、複数の前記スイッチ素

子のそれぞれに抵抗素子が直列接続されている半導体装置。

【請求項 6】 請求項 5 に記載の半導体装置において、さらに、複数の前記抵抗素子の個々の抵抗値が重み付けされている半導体装置。

【請求項 7】 1 つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第 1 の半導体チップと第 2 の半導体チップが実装され、前記第 1 の半導体チップ上のチップ間接続端子の各々と前記第 2 の半導体チップ上のチップ間接続端子の各々とが 1 つずつワイヤを介して接続された半導体装置であって、

前記第 1 の半導体チップの側において、複数の隣接する前記チップ間接続端子間のそれぞれに介挿されたスイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体の一端および他端にそれぞれ接続された導通試験用端子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子とを備えている半導体装置。

【請求項 8】 1 つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第 1 の半導体チップと第 2 の半導体チップが実装され、前記第 1 の半導体チップ上のチップ間接続端子の各々と前記第 2 の半導体チップ上のチップ間接続端子の各々とが 1 つずつワイヤを介して接続された半導体装置であって、

前記第 1 の半導体チップの側で複数の前記チップ間接続端子のそれぞれと導通試験用端子との間に介挿されたスイッチ素子と、複数の前記スイッチ素子を選択的にオン／オフ制御するスイッチ制御手段と、前記第 2 の半導体チップの側で複数の前記チップ間接続端子において電源電位に対して順方向にまたは接地電位に対して逆方向に接続されたダイオードと、前記第 1 の半導体チップの側で複数の前記チップ間接続端子の線路に介挿された線路スイッチ素子と、前記線路スイッチ素子のオン／オフ制御端子に接続された導通試験用端子とを備えている半導体装置。

【請求項 9】 請求項 8 に記載の半導体装置において、前記第 1 の半導体チップに供給される電源電位と前記第 2 の半導体チップに供給される電源電位を別々に供給する半導体装置。

【請求項 10】 請求項 8 に記載の半導体装置において、前記第 1 の半導体チップに供給される接地電位と前記第 2 の半導体チップに供給される接地電位を別

々に供給する半導体装置。

【請求項 11】 1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々とが1つずつワイヤを介して接続された半導体装置であって、

複数の隣接する前記ワイヤ間で、前記第1の半導体チップの側と前記第2の半導体チップの側とで交互となる状態で介挿された、スイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうちの他端を接地電位に対して接続する接地電位側スイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位が所定値を上回ることを検出する論理素子と、前記論理素子の出力側に接続された導通試験用端子とを備えている半導体装置。

【請求項 12】 1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々とが1つずつワイヤを介して接続された半導体装置であって、

複数の隣接する前記ワイヤ間で、前記第1の半導体チップの側と前記第2の半導体チップの側とで交互となる状態で介挿された、スイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうちの他端を接地電位に対して接続する接地電位側スイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位が所定値を下回ることを検出する論理素子と、前記論理素子の出力側に接続された導通試験用端子とを備えている半導体装置。

【請求項 13】 1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々とが1つずつワイヤを介して接続された半導体装置であって、

複数の隣接する前記ワイヤ間で、前記第1の半導体チップの側と前記第2の半導体チップの側とで交互となる状態で介挿された、スイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうちの他端を接地電位に対して接続する接地電位側スイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位が所定値を上回ることを検出する第1の論理素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位が所定値を下回ることを検出する第2の論理素子と、前記第1および第2の論理素子の出力側にそれぞれ接続された導通試験用端子とを備えている半導体装置。

【請求項 14】 1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々とが1つずつワイヤを介して接続された半導体装置であって、

前記第1の半導体チップの側において、複数の隣接する前記チップ間接続端子間のそれぞれに介挿されたスイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうちの他端を接地電位に対して接続する接地電位側スイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位変動を検出する論理素子と、前記論理素子の出力側に接続された導通試験用端子とを備えている半導体装置。

【請求項 15】 前記スイッチ素子がN型またはP型またはN型及びP型のMOSトランジスタで構成されている請求項1から請求項14までのいずれかに記載の半導体装置。

【請求項 16】 前記抵抗素子がN型またはP型またはN型及びP型のMOSトランジスタで構成したことを特徴とする請求項4、請求項8から請求項10までのいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、1パッケージ内に1つ以上の半導体チップを実装した半導体装置にかかわり、特に、導通試験を簡便に且つ確実に実施するための技術に関するものである。

【0002】

【従来の技術】

一般に半導体装置は、半導体装置外部のシステムと半導体装置に集積された内部回路との信号の受け渡しを行うための複数の端子を有する。近年、半導体装置の試験においては半導体チップに集積された内部回路の規模の増大に伴って試験時間が大幅に増加しており、試験コストの増加が懸念されている。この試験コストを抑えるためには、可能な限り時間をかけずに不良品を判別することが重要である。この試験コストの上昇を抑えるためには、半導体装置にいろいろな特殊試験機能を盛り込み、試験時間を短縮する工夫が必要となってきた。

【0003】

試験項目は、電源電流をチェックするDC試験と、内部回路システムの機能とアクセス時間等をチェックするAC試験に大別される。これらの特性保証試験を行う前には、被測定半導体装置の各端子全てが確実に試験装置と接続されていることを確認するとともに、被測定半導体装置内部の各端子が被測定半導体装置内部で断線故障あるいは別端子との短絡故障を起こしていないことを確認する。この確認を前提として、DC試験、AC試験は行われる。以上のような導通試験は、従来において次のように実施するのが一般的である。

【0004】

各端子には基盤と逆タイプの拡散層が接続されており、電気的にはダイオードが接続された構成となっている。そのダイオードを順方向にバイアスすることにより流れる電流によって、試験装置と被測定半導体装置の接続確認、及び、被試験端子と内部回路との断線故障がないことを確認する。また、その際に被試験端子と隣接する端子を被試験端子とは逆の電位に固定しておくことで、被試験端子と被試験端子と隣接する端子との短絡故障がないことを確認する。この試験は、各端子ごとに繰り返して行われる。

【0005】

従来は端子数も多くなかったため、このような各端子全てに導通試験を行う場合でもその時間は比較的短かったが、近年の半導体装置の内部に集積された回路システムの増大に伴って端子数も増加傾向にあり、導通試験の試験時間は端子数に比例して増加していくため、それらの試験時間及び試験コストが無視できなくなっている。

【0006】

図13は以上に説明した半導体装置の一般的な例を示したものである。図13において、001は半導体チップ、002は半導体チップ001に集積された内部回路、003～008は内部回路002と半導体チップ001の外部システムとの信号の受け渡しをするための端子、009～014は端子003～008にそれぞれ接続されたダイオードであり、電源電位(VDD)に対して順方向、接地電位(VSS)に対して逆方向に形成されている。

【0007】

ここで、端子003～008の導通試験方法の一例を説明する。端子003の導通試験を行う場合、被試験端子003に対して、{電源電位(VDD)+ダイオード009の閾値電圧 V_t }を超える電位を印加し、同時に被試験端子003に流れる電流を測定する。一定量の電流が流れていれば導通していると判定する。一方、電流値が0の場合、被試験端子003は導通していないことを意味する。また、その際、被試験端子003以外の端子004～008には、接地電位(VSS)と同電位を印加しておく。もし、被試験端子003に異常な過電流が流

れば、被試験端子 003 とそれ以外の端子 004 ～ 008 が短絡故障を起こしていることを確認できる。以上の手順を全ての端子 003 ～ 008 について同様に 1 端子ずつ実施する。

【0008】

このような構成の従来技術において、上述の課題に対する対策として、各端子に印加される電位に応じて導通／非導通となるスイッチ素子を設け、さらにスイッチ素子を直列に接続し、その一端部を電源電位（VDD）に接続するとともに、その他端部を接地電位（VSS）に接続することで、全ての被試験端子をスイッチ素子が導通する電位に設定した場合に一定の電源電流が流れるか否かを検知することによって、全ての被試験端子の一括試験を行うする手法が提案されている（例えば特許文献 1 参照）。

【0009】

【特許文献 1】

特開平 4-152277 号公報（第 3-5 頁、第 1 図、第 2 図）

以上の例は一般的に 1 パッケージに 1 つの半導体チップを実装した半導体装置の例であった。以下では、近年注目されている 1 パッケージに複数の半導体チップを実装する技術を適用した半導体装置について説明する。

【0010】

セットのシステムはそれを構成するために複数の半導体装置をプリント基板上で接続することによって実現していたが、年々、セットシステムの小型化が進み、従来、複数の半導体装置で構成していたシステムを 1 つの半導体チップ上で実現するシステム LSI が今や主流となってきた。こうしたシステム LSI では DRAM や FLASH メモリなどを必要とすることが多く、その結果、システム LSI にメモリデバイスを取り込んで混載し、1 チップ化することが求められている。ところが、これらのメモリデバイスを混載することによって、従来、ピュア CMOS プロセスで製造することができたシステム LSI にメモリプロセスを追加する必要が生じ、その結果、歩留まりの低下、微細化の限界、製造期間の増大などの課題が新たに発生していた。

【0011】

こうした状況の中で、拡散プロセスの異なる複数の半導体チップを1つのパッケージの中に封止することでシステムLSIを実現する技術が注目されてきている。その形態は様々であるが、大きく3種類に大別できる。1つ目は、ベースとなる半導体チップ（以下、親チップ）の表面に、貼り合わせられるチップ（以下、子チップ）の表面を向かい合わせに bumps を用いて接続する方法である。2つ目は、親チップ上に子チップの裏面を接着し、それぞれのチップを直接ワイヤを介して接続する方法である。3つ目は、複数のチップを2次元的にパッケージ内に並べて、チップ間の接続が必要な箇所を直接ワイヤで接続する方法である。

【0012】

図14は以上に説明した1つのパッケージ内に複数の半導体チップを実装する場合の上記2つ目の例を挙げたものである。101はベースとなる半導体チップ（以下、親チップ）、102は親チップ101に集積された内部回路、103～108は内部回路102と親チップ101の外部システムとの間の信号の受け渡しをするための端子、109～114は端子103～108に接続されたダイオード、115は親チップ101上に積層された半導体チップ（以下、子チップ）、116は子チップ115に集積された内部回路、117～120は内部回路116と親チップ101上の内部回路102との間の信号の受け渡しをするためのチップ間接続端子、121～124はチップ間接続端子117～120に接続されたダイオード、125～128は親チップ101上の内部回路102と子チップ115上の内部回路116との間の信号の受け渡しをするためのチップ間接続端子、129～132はチップ間接続端子125～128に接続されたダイオード、133～136はチップ間接続端子117～120とチップ間接続端子125～128を接続するワイヤである。

【0013】

端子103～108の導通試験方法については、既に説明した1パッケージに1つの半導体チップを実装する半導体装置の導通試験方法と同様である。ここでは、チップ間接続端子117～120とチップ間接続端子125～128の導通試験方法について従来の方法を説明する。

【0014】

パッケージ外部から親チップ101上の端子103～108を制御及び観測することによって親チップ101の内部回路102を介して子チップ115の内部回路116の機能試験を実施し、それによって間接的にチップ間接続端子117～120及び125～128、またワイヤ133～136の導通試験を行っている。ただし、チップ間接続端子の断線故障、短絡故障を網羅的に試験するためには、機能試験時のチップ間接続端子の状態の組み合わせを考慮する必要がある、親チップに供給する試験パターンの作成に多大な工数を要するという問題がある。

【0015】

そこで、チップ間接続端子部の導通試験方法として合理的且つ有効な試験方法が必要になってきている。以上の例では、1つのパッケージの中に2つの半導体チップを積層し、2つの半導体チップをワイヤによって直接接続する構成の半導体装置について述べたが、実装するチップが3つ以上の複数の場合、あるいは半導体チップの実装形態が積層配置／2次元配置、あるいは複数の半導体チップの接続形態がワイヤ／バンプのいかんに関わらず、複数の半導体チップが1つのパッケージ内に実装され、パッケージ内部で半導体チップ間が直接接続される構成の半導体装置全般について、上記と同様の課題が該当する。以下、詳しく説明する。

【0016】

【発明が解決しようとする課題】

半導体装置の外部と信号の受け渡しを行う端子の導通試験を行うためには、上記従来の方法では、1端子ずつ試験を行う必要があり、そのため、年々増加傾向にある端子数に比例して導通試験に要する試験時間が増大し、試験コストが増大するという課題があった。

【0017】

この課題においては、全端子を一括で導通試験を行うための半導体装置の構成として、前記特許文献1に記載の発明がなされているが、複数の被試験端子に一括で電圧を印加して導通検査を行うため、被試験端子の一部が試験装置と断線状態にある場合でも、隣接する端子間に短絡故障が存在していれば、短絡故障箇所

から断線状態の被試験端子に電圧が供給され、正常であると誤判定してしまうという課題があった。また、以上の試験を実施するためには、被試験端子に電圧を印加しながら電流を測定するという比較的高級な試験装置でなければ導通試験を実施することができないという課題があった。

【0 0 1 8】

また、複数の半導体チップが1つのパッケージ内に実装され、パッケージ内部で半導体チップ間が直接接続される構成の半導体装置において、そのチップ間接続端子部の導通試験、すなわち断線故障及び短絡故障を網羅的に試験するためには、被試験箇所を経由して半導体チップの機能試験を実施し、さらには機能試験時のチップ間接続端子の状態の組み合わせを考慮する必要があるため、半導体装置に供給する試験パターンの作成に多大な工数を要するという課題があった。すなわち、チップ間接続端子部の導通試験方法として合理的且つ有効な試験方法が存在しないという根本的な課題があった。

【0 0 1 9】

本発明は、このような従来技術における問題点を解決し、被測定半導体装置の端子数に依存しないで、全ての端子を一括して確実に導通試験を実行することができ、それによって、導通試験に要する時間を大幅に短縮し得る半導体装置を提供するとともに、複数半導体チップを1パッケージに実装した場合のチップ間接続端子において合理的且つ有効に導通試験を実行することができる半導体装置を提供することを目的とする。

【0 0 2 0】

【課題を解決するための手段】

上記の課題を解決するために、本発明は次のような手段を講じる。

【0 0 2 1】

第1の解決手段として、本発明による半導体装置（請求項1）は、複数の隣接する端子間のそれぞれに介挿されたスイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端および他端にそれぞれ接続された導通試験用端子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子とを備えている。端子が複数あり、隣接する端子間に、スイッチ素子と抵抗素子とを直

列接続してなる直列接続体を介挿している。この直列接続体の介挿は、原則として、すべての隣接端子間に対して行われている。介挿された複数の直列接続体どうしも直列接続されているが、その一連の直列接続体の一端および他端に、導通試験時に電圧を印加するための導通試験用端子を接続している。また、各直列接続体におけるスイッチ素子をオン／オフ制御するためのスイッチ制御端子を設けている。ここで、すべてのスイッチ素子を一括制御する。

【0022】

この構成による作用は次のとおりである。導通試験時に全てのスイッチ素子を導通させ、両端の導通試験用端子間に電位差を与えることによって両導通試験用端子間に流れる電流値を測定する。全端子に故障がない正常状態の場合は、流れる電流値は、(電位差) / (全抵抗素子の抵抗値総和) となる。しかし、もし、隣接する端子間で短絡故障が発生している場合には、短絡故障箇所の両端に接続された抵抗素子が迂回されるため、測定電流値は増大する。この電流値の差異によって隣接する端子間に短絡故障が発生しているか否かを検出することができる。すなわち、従来では1端子ずつ試験していた複数の端子の短絡故障を一括で検出できるため、導通試験時間を大幅に短縮でき、その結果、試験コストを削減することができる。

【0023】

第2の解決手段として、本発明による半導体装置(請求項2)は、上記第1の解決手段において、さらに、複数の前記直列接続体における複数の前記抵抗素子の個々の抵抗値が重み付けされたものである。これによれば、抵抗値が重み付けされているため、短絡箇所に応じて測定電流値が一定かつユニークな値を示すことになり、短絡故障箇所をも特定することができる。

【0024】

第3の解決手段として、本発明による半導体装置(請求項3)は、複数の隣接する端子間のそれぞれに介挿されたスイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端および他端をそれぞれ電源電位に対して接続する電源電位側および接地電位側のスイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素

子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位変動を検出する論理素子と、前記論理素子の出力側に接続された導通試験用端子とを備えている。

【 0 0 2 5 】

この構成による作用は次のとおりである。導通試験時に全てのスイッチ素子を導通させ、論理素子の出力電位を測定する。全ての端子に故障がなく正常状態の場合は、一連の直列接続体と抵抗分割用抵抗素子とで分圧された電位は所定範囲内にあり、論理素子は所定の値を出力する。一方、隣接する端子間で短絡故障が発生している場合には、その短絡故障の端子間に接続された抵抗素子が迂回されるため、前記の分圧された電位は所定範囲外となり、論理素子は正常状態の反転値を出力する。すなわち、論理素子の出力値によって隣接する端子間に短絡故障が発生しているか否かを検出することができる。上記の抵抗分割点の電位変動の検出は、論理素子の閾値に対する抵抗分割点電位の高低の比較によって行うことができる。さらに、電圧レベルの測定のみで試験が実施できるため、電圧を印加しながら電流を測定するという比較的高級な試験装置が不要で、試験装置の簡単化が図れる。

【 0 0 2 6 】

第 4 の解決手段として、本発明による半導体装置（請求項 4）は、1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第 1 の半導体チップと第 2 の半導体チップが実装され、前記第 1 の半導体チップ上のチップ間接続端子の各々と前記第 2 の半導体チップ上のチップ間接続端子の各々とが 1 つずつワイヤを介して接続された半導体装置であって、複数の隣接する前記ワイヤ間で、前記第 1 の半導体チップの側と前記第 2 の半導体チップの側とで交互となる状態で介挿されたスイッチ素子と、一連の前記スイッチ素子の直列接続体の一端および他端にそれぞれ接続された導通試験用端子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子とを備えている。

【 0 0 2 7 】

ここで、第 1 の半導体チップを親チップ、第 2 の半導体チップを子チップと呼んでもよい。複数のスイッチ素子は一連に直列接続されるが、隣接するスイッチ

素子は、交互に第1の半導体チップ側と第2の半導体チップ側とに配置されることになる。すなわち、千鳥状に、ワイヤスイッチ素子－ワイヤスイッチ素子…の一連の直列接続体となっている。第1の解決手段において、各直列接続体に抵抗素子を含ませているのは、もし、この抵抗素子がなければ、過剰電流が流れてしまうが、その過剰電流を防止するためである。第4の解決手段では、ワイヤが抵抗要素となっているので、特に抵抗素子は必要としないのである。

【0028】

この構成による作用は次のとおりである。導通試験時に全てのスイッチ素子を導通させ、両端の導通試験用端子間に電位差を与えることによって両導通試験用端子間に流れる電流値を測定する。全チップ間接続端子に故障がない正常状態の場合は、両導通試験用端子間に電流が流れるが、もし第1の半導体チップ上のチップ間接続端子と第2の半導体チップ上のチップ間接続端子とを接続するワイヤに断線故障が発生している場合には、両導通試験用端子間はハイインピーダンス状態となるため測定電流値は0となる。よって測定電流値によって断線故障が発生しているか否かを検出することができる。すなわち、従来では有効な試験手法が無かったチップ間接続のワイヤの断線故障を一括で検出することができる。

【0029】

第5の解決手段として、本発明による半導体装置（請求項5）は、上記第4の解決手段において、複数の前記スイッチ素子のそれぞれに抵抗素子が直列接続されている。

【0030】

この構成による作用は次のとおりである。導通試験時に全てのスイッチ素子を導通させ、両端の導通試験用端子間に電位差を与えることによって両導通試験用端子間に流れる電流値を測定する。全チップ間接続端子に故障がない正常状態の場合は、流れる電流値は、（電位差）／（全抵抗素子の抵抗値総和）となるが、もし第1の半導体チップ上のチップ間接続端子と第2の半導体チップ上のチップ間接続端子とを接続するワイヤに断線故障が発生している場合には、両導通試験用端子間はハイインピーダンス状態となるため測定電流値は0となる。よって測定電流値によって断線故障が発生しているか否かを検出することができる。また

、もし、隣接するチップ間接続端子間で短絡故障が発生している場合には、短絡故障箇所の両端に接続された抵抗素子が迂回されるため、測定電流値は増大する。この電流値の差異によって隣接するチップ間接続端子間に短絡故障が発生していることをも検出することができる。

【0031】

第6の解決手段として、本発明による半導体装置（請求項6）は、上記第5の解決手段において、さらに、複数の前記抵抗素子の個々の抵抗値が重み付けされたものである。これによれば、抵抗値が重み付けされているため、短絡箇所に応じて測定電流値が一定かつユニークな値を示すことになり、短絡故障箇所をも特定することができる。

【0032】

第7の解決手段として、本発明による半導体装置（請求項7）は、1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々とが1つずつワイヤを介して接続された半導体装置であって、前記第1の半導体チップの側において、複数の隣接する前記チップ間接続端子間のそれぞれに介挿されたスイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体の一端および他端にそれぞれ接続された導通試験用端子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子とを備えている。これは、上記第5の解決手段におけるスイッチ素子と抵抗素子とからなる複数の直列接続体を全て第1の半導体チップの側へ移したものに相当する。

【0033】

この構成による作用は次のとおりである。第1の半導体チップ上のチップ間接続端子と第2の半導体チップ上のチップ間接続端子の間の断線故障の検出は別として、第1の半導体チップの側で隣接するチップ間接続端子間で短絡故障が発生している場合に測定電流値の増大によって、その短絡故障を検出することができる。さらに、第1の半導体チップの側に集約しているので、第2の半導体チップには導通試験のためのスイッチ素子や抵抗素子の追加などの設計変更が一切不要

となり、第2の半導体チップとして他社から入手した半導体チップを利用する場合に特に有効である。

【0034】

第8の解決手段として、本発明による半導体装置（請求項8）は、1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々が1つずつワイヤを介して接続された半導体装置であって、前記第1の半導体チップの側で複数の前記チップ間接続端子のそれぞれと導通試験用端子との間に介挿されたスイッチ素子と、複数の前記スイッチ素子を選択的にオン／オフ制御するスイッチ制御手段と、前記第2の半導体チップの側で複数の前記チップ間接続端子において電源電位に対して順方向にまたは接地電位に対して逆方向に接続されたダイオードと、前記第1の半導体チップの側で複数の前記チップ間接続端子の線路に介挿された線路スイッチ素子と、前記線路スイッチ素子のオン／オフ制御端子に接続された導通試験用端子とを備えている。

【0035】

この構成による作用は次のとおりである。導通試験時に導通試験用端子によって線路スイッチ素子をオフにするとともに、スイッチ制御手段によってスイッチ素子を1つだけ導通させ、導通試験用端子に {電源電位 (VDD) + ダイオードの閾値電圧 V_t } を超える電位を印加し、流れる電流値を測定する。該当のチップ間接続端子に故障がない正常状態の場合は電流が流れるが、もし第1の半導体チップ上のチップ間接続端子と第2の半導体チップ上のチップ間接続端子とを接続するワイヤに断線故障が発生している場合には、両チップ間接続端子間はハイインピーダンス状態となるため測定電流値は0となる。以上の測定を全てのチップ間接続端子に対して順次実施することによって、チップ間接続端子どうしを接続するワイヤのそれぞれにつき断線故障が発生しているか否かを検出することができる。さらに、第1の半導体チップの側に集約しているので、第2の半導体チップには導通試験のためのスイッチ素子や抵抗素子の追加などの設計変更が一切不要となり、第2の半導体チップとして他社から入手した半導体チップを利用

する場合に特に有効である。

【0036】

ここで、前記スイッチ素子がN型のMOSトランジスタで構成されている場合、導通試験時に電流を測定する端子に印加する電位を {電源電位 (V_{DD}) + ダイオードの閾値電圧 V_t } にしてもN型MOSトランジスタのゲート電位が V_{DD} であるため V_{DD} 以上の電位を伝搬させることができず、ダイオードの両端に順方向電流を流すための電位差を得ることができない。そこで、第1の半導体チップに供給する電源電位 (V_{DD1}) と第2の半導体チップに供給する電源電位 (V_{DD2}) を別々に供給し、 $V_{DD1} > V_{DD2}$ とすることによって導通試験時に電流を測定する端子に対して V_{DD1} 以上の電位を印加しなくても、すなわち V_{DD1} と同一電位を印加することによってダイオードに順方向の電流を流すことができるため、導通試験を実施することができる (請求項9)。

【0037】

また、スイッチ素子がP型のMOSトランジスタで構成されている場合、導通試験時に電流を測定する端子に対して V_{SS} 以下の電位を印加することで導通試験を実施する場合においても、第1の半導体チップに供給する接地電位 (V_{SS1}) と第2の半導体チップに供給する接地電位 (V_{SS2}) を別々に供給し、 $V_{SS1} < V_{SS2}$ とすることによって導通試験時に電流を測定する端子に対して V_{SS1} 以下の電位を印加しなくても、すなわち V_{SS1} と同一電位を印加することによってダイオードに順方向の電流を流すことができるため、導通試験を実施することができる (請求項10)。

【0038】

第9の解決手段として、本発明による半導体装置 (請求項11) は、1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々とが1つずつワイヤを介して接続された半導体装置であって、複数の隣接する前記ワイヤ間で、前記第1の半導体チップの側と前記第2の半導体チップの側とで交互となる状態で介挿された、スイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続

体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうちの他端を接地電位に対して接続する接地電位側スイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位が所定値を上回ることを検出する論理素子と、前記論理素子の出力側に接続された導通試験用端子とを備えている。この場合、千鳥状に、ワイヤー（スイッチ素子＋抵抗素子）－ワイヤー（スイッチ素子＋抵抗素子）…の一連の直列接続体となっている。

【0039】

この構成による作用は次のとおりである。導通試験時に全てのスイッチ素子を導通させ、論理素子の出力電位を測定する。全てのチップ間接続端子に故障がなく正常状態の場合は、一連の直列接続体と抵抗分割用抵抗素子とで分圧された電位は所定範囲内にあり、論理素子は所定の値を出力する。一方、隣接するチップ間接続端子間で短絡故障が発生している場合には、その短絡故障のチップ間接続端子間に接続された抵抗素子が迂回されるため、前記の分圧された電位は所定範囲外となり、論理素子は正常状態の反転値を出力する。すなわち、論理素子の出力値によって隣接するチップ間接続端子間に短絡故障が発生しているか否かを検出することができる。

【0040】

第10の解決手段として、本発明による半導体装置（請求項12）は、1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々が1つずつワイヤを介して接続された半導体装置であって、複数の隣接する前記ワイヤ間で、前記第1の半導体チップの側と前記第2の半導体チップの側とで交互となる状態で介挿された、スイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうちの他端を接地電位に対して接続する接地電位側スイッチ

素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位が所定値を下回ることを検出する論理素子と、前記論理素子の出力側に接続された導通試験用端子とを備えている。上記の第9の解決手段との相違点は、所定値を上回るか下回るかの違いである。

【0041】

この構成による作用は次のとおりである。第1の半導体チップ上のチップ間接続端子と第2のチップ間接続端子とを接続するワイヤで断線故障が発生した場合は、前記分圧された電位は所定範囲外となり、論理素子は正常状態の反転値を出力する。すなわち、論理素子の出力値によって断線故障が発生しているか否かを検出することができる。

【0042】

第11の解決手段として、本発明による半導体装置（請求項13）は、1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々とが1つずつワイヤを介して接続された半導体装置であって、複数の隣接する前記ワイヤ間で、前記第1の半導体チップの側と前記第2の半導体チップの側とで交互となる状態で介挿された、スイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうちの他端を接地電位に対して接続する接地電位側スイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位が所定値を上回ることを検出する第1の論理素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位が所定値を下回ることを検出する第2の論理素子と、前記第1および第2の論理素子の出力側にそれぞれ接続された導通試験用端子とを備えている。これは、上記第9の解決手段と

第10の解決手段を合わせたものに相当する。

【0043】

この構成による作用は次のとおりである。導通試験時に全てのスイッチ素子を導通させ、第1および第2の論理素子の出力電位を測定する。全てのチップ間接続端子に故障がなく正常状態の場合は、一連の直列接続体と抵抗分割用抵抗素子とで分圧された電位は所定範囲内にあり、第1および第2の論理素子はそれぞれ所定の値を出力する。一方、隣接する端子間で短絡故障が発生している場合には、その短絡故障の端子間に接続された抵抗素子が迂回されるため、前記の分圧された電位は所定範囲外となり、第1の論理素子は正常状態の反転値を出力する。すなわち、第1の論理素子の出力値反転によって隣接する端子間に短絡故障が発生しているか否かを検出することができる。また、第1の半導体チップ上のチップ間接続端子と第2のチップ間接続端子とを接続するワイヤで断線故障が発生した場合は、前記分圧された電位は所定範囲外となり、第2の論理素子は正常状態の反転値を出力する。すなわち、第2の論理素子の出力値反転によって断線故障が発生しているか否かを検出することができる。全体として、短絡故障と断線故障の両方を検出することができる。

【0044】

第12の解決手段として、本発明による半導体装置（請求項14）は、1つのパッケージの内部にそれぞれ複数のチップ間接続端子を有する第1の半導体チップと第2の半導体チップが実装され、前記第1の半導体チップ上のチップ間接続端子の各々と前記第2の半導体チップ上のチップ間接続端子の各々とが1つずつワイヤを介して接続された半導体装置であって、前記第1の半導体チップの側において、複数の隣接する前記チップ間接続端子間のそれぞれに介挿されたスイッチ素子と抵抗素子との直列接続体と、一連の前記直列接続体のうちの一端を電源電位に対して接続する電源電位側スイッチ素子と、一連の前記直列接続体のうち他端を接地電位に対して接続する接地電位側スイッチ素子と、複数の前記スイッチ素子の全体を一括制御するスイッチ制御端子と、前記一連の直列接続体における抵抗素子群に対して抵抗分割のために直列接続した抵抗分割用抵抗素子と、前記一連の直列接続体と前記抵抗分割用抵抗素子との抵抗分割点の電位変動を検

出する論理素子と、前記論理素子の出力側に接続された導通試験用端子とを備えている。

【0045】

この構成による作用は次のとおりである。導通試験時に全てのスイッチ素子を導通させ、論理素子の出力電位を測定する。全てのチップ間接続端子に故障がなく正常状態の場合は、一連の直列接続体と抵抗分割用抵抗素子とで分圧された電位は所定範囲内にあり、論理素子は所定の値を出力する。一方、隣接するチップ間接続端子間で短絡故障が発生している場合には、その短絡故障のチップ間接続端子間に接続された抵抗素子が迂回されるため、前記の分圧された電位は所定範囲外となり、論理素子は正常状態の反転値を出力する。すなわち、論理素子の出力値によって隣接するチップ間接続端子間に短絡故障が発生しているか否かを検出することができる。

【0046】

なお、上記各解決手段において、前記スイッチ素子または抵抗素子は、それぞれN型またはP型またはN型及びP型のMOSトランジスタで構成でき、構成を簡易化できる。

【0047】

【発明の実施の形態】

以下、本発明にかかわる半導体装置の実施の形態を図面に基づいて説明する。

【0048】

（実施の形態1）

図1は本発明の実施の形態1（請求項1対応）における半導体装置の構成を示すブロック回路図である。図1において、001は半導体チップ、002は半導体チップ001に集積された内部回路、003～008は内部回路002と半導体チップ001の外部システムとの信号の受け渡しをするための端子、009～014は端子003～008にそれぞれ接続されるダイオードであり、電源電位（VDD）に対して順方向、接地電位（VSS）に対して逆方向に形成されている。015と016は導通試験用端子、050はスイッチ制御端子であり、端子003～008を一括で導通試験する際に使用する。017～021と022～

026は端子003～008の間に直列に接続されたスイッチ素子と抵抗素子であり、スイッチ素子017～021はスイッチ制御端子050に電源電位（VDD）を印加すると導通し、接地電位（VSS）を印加すると非導通となる。1つのスイッチ素子と1つの抵抗素子とを直列に接続したものが直列接続体である。そして、複数の直列接続体の全体が一連の直列接続体である。

【0049】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。導通試験用端子015およびスイッチ制御端子050に電源電位（VDD）を印加し、導通試験用端子016に接地電位（VSS）を印加すると、スイッチ素子017～021が導通する。端子003～008に故障がない正常状態の場合は、VDDの導通試験用端子015とVSSの導通試験用端子016の間に流れる電流は、 $\{(VDD - VSS) / (\text{抵抗素子}022 \sim 026 \text{の抵抗値の総和})\}$ となる。しかし、もし、端子005と端子006の間に短絡故障が発生している場合は、 $\{(VDD - VSS) / (\text{抵抗素子}022, 023, 025, 026 \text{の抵抗値の総和})\}$ となり、複数の端子の短絡故障を一度の測定で一括で試験することができる。

【0050】

（実施の形態2）

図2は本発明の実施の形態2（請求項2対応）における半導体装置の構成を示すブロック回路図である。図2において、実施の形態1の図1におけるのと同じ符号は同一構成要素を指しているもので、詳しい説明は省略する。実施の形態1と相違する点は、抵抗素子022a～026aであり、個々の抵抗値はそれぞれ2倍ずつ重み付けされている。

【0051】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。基本的な動作は実施の形態1の場合と同様であり、複数の被試験端子の短絡故障を一度の測定で一括で試験することができる。さらに、個々の抵抗素子022a～026aはそれぞれ抵抗値に2倍の差があるため、短絡箇所に応じて測定電流値が一定かつユニークな値を示すことになる。これによって、短絡故障箇所をも

特定することができる。

【0052】

なお、複数の抵抗素子の抵抗値の重み付けについては、必ずしも2倍ずつとする必要はなく、 k を任意の実数として、 k 倍ずつとしてもよい。さらには、 k 倍ずつのような定数倍ずつの規則性をもつ重み付けである必要もなく、複数の抵抗素子の抵抗値が互いに相違していればよい。

【0053】

(実施の形態3)

図3は本発明の実施の形態3（請求項3対応）における半導体装置の構成を示すブロック回路図である。図3において、実施の形態1の図1におけるのと同じ符号は同一構成要素を指しているので、詳しい説明は省略する。実施の形態1と相違する点は、電源電位側スイッチ素子027、接地電位側スイッチ素子028、抵抗分割用抵抗素子029および論理素子030である。端子003と電源電位（VDD）の間に電源電位側スイッチ素子027が接続されている。端子008と接地電位（VSS）の間に接地電位側スイッチ素子028と抵抗分割用抵抗素子029の直列接続体が接続されている。電源電位側スイッチ素子027と接地電位側スイッチ素子028は、スイッチ素子017～021と同様に、スイッチ制御端子050に電源電位（VDD）を印加すると導通し、接地電位（VSS）を印加すると非導通となる。論理素子030は導通試験用端子016と接地電位側スイッチ素子028の間に介挿されている。論理素子030の入力部と電源電位（VDD）の間に直列に接続した抵抗素子022～026の総合的な抵抗値と、論理素子030の入力部と接地電位（VSS）の間に直列に接続した抵抗分割用抵抗素子029の抵抗値によって分圧された電位が、論理素子030の入力閾値レベルよりも低くなるように設定されている。

【0054】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。基本的な動作は実施の形態1の場合と同様であり、複数の端子の短絡故障を一度の測定で一括で試験することができる。さらに、スイッチ制御端子050に電源電位（VDD）を印加すると、スイッチ素子017～021、027、028が

導通する。端子003～008に故障がない正常状態の場合は、前記分圧された電位は論理素子030の閾値よりも低いため論理素子030は所定の値を出力する。一方、端子005～006の間に短絡故障が発生している場合は、端子005～006間に接続された抵抗素子024が迂回されるため、前記分圧された電位は論理素子030の閾値よりも高くなり、論理素子030の出力は前記の正常状態の反転値を出力する。従って、論理素子030の出力値によって複数の端子の短絡故障を一度の測定で一括で試験することができる。さらに、論理反転で検出しているので、電圧を印加しながら電流を測定するという比較的高級な試験装置が不要となり、試験装置の簡単化が図れる。

【0055】

なお、論理素子030の接続点をP1に代えて、接地電位側スイッチ素子028と抵抗分割用抵抗素子029との間にしてもよい。また、抵抗分割用抵抗素子029を接地電位側スイッチ素子028に接続することに代えて、電源電位(VDD)と点Q1との間で電源電位側スイッチ素子027と直列に抵抗分割用抵抗素子を接続し、点Q1に論理素子と導通試験用端子を接続してもよい。この変形の考え方は、以下の実施の形態でも適用可能である。

【0056】

(実施の形態4)

図4は本発明の実施の形態4(請求項4対応)における半導体装置の構成を示すブロック回路図である。図4において、101はベースとなる半導体チップ(以下、親チップ)、102は親チップ101に集積された内部回路、103～108は内部回路102と親チップ101の外部システムとの間の信号の受け渡しをするための端子、109～114は端子103～108に接続されたダイオード、115は親チップ101上に積層された半導体チップ(以下、子チップ)、116は子チップ115に集積された内部回路、117～120は内部回路116と親チップ101上の内部回路102との間の信号の受け渡しをするためのチップ間接続端子、121～124はチップ間接続端子117～120に接続されたダイオード、125～128は親チップ101上の内部回路102と子チップ115上の内部回路116との間の信号の受け渡しをするためのチップ間接続端

子、129～132はチップ間接続端子125～128に接続されたダイオード、133～136はチップ間接続端子117～120とチップ間接続端子125～128を接続するワイヤである。137と138は導通試験用端子、150はスイッチ制御端子であり、ワイヤ133～136を一括で導通試験する際に使用する。139はチップ間接続端子117～118の間に直列に接続されたスイッチ素子、140はチップ間接続端子126～127の間に直列に接続されたスイッチ素子、141はチップ間接続端子119～120の間に直列に接続されたスイッチ素子であり、導通試験用端子150に電源電位（VDD）を印加すると導通し、接地電位（VSS）を印加すると非導通となる。

【0057】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。導通試験用端子137およびスイッチ制御端子150に電源電位（VDD）を印加し、導通試験用端子138に接地電位（VSS）を印加すると、スイッチ素子139～141が導通する。ワイヤ133～136に故障がない正常状態の場合は、導通試験用端子137と導通試験用端子138の間には電流が流れるが、もし、1箇所でも親子チップ間のチップ間接続端子に断線故障が発生している場合は、電流が流れなくなるため、複数の被試験チップ間接続端子どうしを接続するワイヤの断線故障を一度の測定で一括で試験することができる。

【0058】

（実施の形態5）

図5は本発明の実施の形態5（請求項5対応）における半導体装置の構成を示すブロック回路図である。図5において、実施の形態4の図4におけるのと同じ符号は同一構成要素を指しているので、詳しい説明は省略する。実施の形態4と相違する点は、チップ間接続端子117～118の間でスイッチ素子139に直列に接続された抵抗素子142と、チップ間接続端子126～127の間でスイッチ素子140に直列に接続された抵抗素子143と、チップ間接続端子119～120の間でスイッチ素子141に直列に接続された抵抗素子144とである。

【0059】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。基本的な動作は実施の形態 4 の場合と同様であり、導通試験用端子 137 およびスイッチ制御端子 150 に電源電位 (VDD) を印加し、導通試験用端子 138 に接地電位 (VSS) を印加すると、スイッチ素子 139 ~ 141 が導通する。被試験ワイヤ 133 ~ 136 に故障がない正常状態の場合は、導通試験用端子 137 と導通試験用端子 138 の間に流れる電流は、 $\{ (VDD - VSS) / (\text{抵抗素子 } 142 \sim 144 \text{ の抵抗値の総和}) \}$ となる。しかし、もし、1箇所でも親子チップ間のチップ間接続端子どうしを接続するワイヤに断線故障が発生している場合は、電流が流れなくなるため、複数の被試験チップ間接続端子どうしを接続するワイヤの断線故障を一度の測定で一括で試験することができる。また、もし、隣接するチップ間接続端子間で短絡故障が発生している場合には、短絡故障箇所の両端に接続された抵抗素子が迂回されるため、測定電流値は増大する。この電流値の差異によって隣接するチップ間接続端子の間に短絡故障が発生していることをも一度の測定で一括で試験することができる。

【0060】

(実施の形態 6)

図 6 は本発明の実施の形態 6 (請求項 6 対応) における半導体装置の構成を示すブロック回路図である。図 6 において、実施の形態 5 の図 5 におけるのと同じ符号は同一構成要素を指しているので、詳しい説明は省略する。実施の形態 5 と相違する点は、抵抗素子 142 a ~ 144 a であり、個々の抵抗値はそれぞれ 2 倍ずつ重み付けされている。

【0061】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。基本的な動作は実施の形態 5 の場合と同様であり、複数の被試験チップ間接続端子どうしを接続するワイヤの断線故障および隣接するチップ間接続端子間の短絡故障を一度の測定で一括で試験することができる。さらに、個々の抵抗素子 142 a ~ 144 a はそれぞれ抵抗値に 2 倍の差があるため、短絡箇所に応じて測定電流値が一定かつユニークな値を示すことになる。これによって、短絡故障箇所をも特定することができる。

【0062】

なお、複数の抵抗素子の抵抗値の重み付けについては、必ずしも2倍ずつとする必要はなく、 k を任意の実数として、 k 倍ずつとしてもよい。さらには、 k 倍ずつのような定数倍ずつの規則性をもつ重み付けである必要もなく、複数の抵抗素子の抵抗値が互いに相違していればよい。

【0063】

(実施の形態7)

図7は本発明の実施の形態7（請求項7対応）における半導体装置の構成を示すブロック回路図である。図7において、実施の形態5の図5におけるのと同じ符号は同一構成要素を指しているので、詳しい説明は省略する。実施の形態5と相違する点は、スイッチ素子139b、141bと抵抗素子142b、144bである。スイッチ素子139bと抵抗素子142bとの直列接続体およびスイッチ素子141bと抵抗素子144bとの直列接続体はそれぞれ、図5におけるスイッチ素子139と抵抗素子142との直列接続体、スイッチ素子141と抵抗素子144との直列接続体の配置位置を子チップ115から親チップ101に移行したものに相当している。

【0064】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。導通試験用端子137およびスイッチ制御端子150に電源電位（VDD）を印加し、導通試験用端子138に接地電位（VSS）を印加すると、スイッチ素子139～141が導通する。ワイヤ133～136に故障がない正常状態の場合は、導通試験用端子137と導通試験用端子138の間に流れる電流は、 $\{ (VDD - VSS) / (\text{抵抗素子142a, 143, 144aの抵抗値の総和}) \}$ となる。しかし、もし、隣接するチップ間接続端子間で短絡故障が発生している場合には、短絡故障箇所の両端に接続された抵抗素子が迂回されるため、測定電流値は増大する。この電流値の差異によって隣接するチップ間接続端子の間に短絡故障が発生していることをも一度の測定で一括で試験することができる。さらに、親チップ101の側に集約しているので、子チップ115には導通試験のためのスイッチ素子や抵抗素子の追加などの設計変更が一切不要となり、子チップ1

15 としては他社からの入手した半導体チップを利用することができる。

【0065】

(実施の形態8)

図8は本発明の実施の形態8（請求項8対応）における半導体装置の構成を示すブロック回路図である。図8において、実施の形態4の図4におけるのと同じ符号は同一構成要素を指しているため、詳しい説明は省略する。実施の形態4と相違する点は、スイッチ制御手段200とスイッチ素子201～204と線路スイッチ素子205～208と導通試験用端子137a、138aである。スイッチ素子201～204は、それぞれチップ間接続端子125～128と導通試験用端子137aとの間に直列に接続されている。スイッチ制御手段200は、導通試験時にスイッチ素子201～204を1つずつ導通するように制御する。線路スイッチ素子205～208は、それぞれチップ間接続端子125～128とダイオード129～132の間に直列に接続されている。

【0066】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。あらかじめ、導通試験用端子138aは線路スイッチ素子205～208を非導通状態に設定することによりダイオード129～132への電流経路を遮断しておく。ワイヤ133の導通試験を行う場合、スイッチ制御手段200はスイッチ201のみ導通状態にし、スイッチ202～204は非導通状態に制御し、導通試験用端子137aに対して、{電源電位(VDD) + ダイオード121の閾値電圧 V_t }を超える電位を印加し、同時に導通試験用端子137aに流れる電流を測定する。ここで、ワイヤ133に故障がない正常状態の場合は、ダイオード121に電源電位(VDD)に対する順方向の電流が流れるため、ワイヤ133は導通していると判定できる。一方、電流値が0の場合、ワイヤ133が断線故障を起こしていることを検出できる。以上の手順を全チップ間接続端子125～128について、1端子ずつ実施することで全ワイヤ133～136の断線故障を検出することができる。さらに、親チップ101の側に集約しているので、子チップ115には導通試験のためのスイッチ素子や抵抗素子の追加などの設計変更が一切不要となり、子チップ115としては他社からの入手した半導体チップ

を利用することができる。

【0067】

(実施の形態9)

図9は本発明の実施の形態9（請求項11対応）における半導体装置の構成を示すブロック回路図である。図9において、実施の形態4の図4におけるのと同じ符号は同一構成要素を指しているため、詳しい説明は省略する。実施の形態4と相違する点は、電源電位側スイッチ素子145、接地電位側スイッチ素子146、抵抗分割用抵抗素子147および論理素子148である。チップ間接続端子125と電源電位（VDD）の間に電源電位側スイッチ素子145が接続されている。チップ間接続端子128と接地電位（VSS）の間に接地電位側スイッチ素子146と抵抗分割用抵抗素子147の直列接続体が接続されている。電源電位側スイッチ素子145、接地電位側スイッチ素子146は、スイッチ素子139～141と同様に、スイッチ制御端子150に電源電位（VDD）を印加すると導通し、接地電位（VSS）を印加すると非導通となる。論理素子148は導通試験用端子138と接地電位側スイッチ素子146の間に介挿されている。論理素子148の入力部と電源電位（VDD）の間に直列に接続した抵抗素子142～144の総合的な抵抗値と、論理素子148の入力部と接地電位（VSS）の間に直列に接続した抵抗分割用抵抗素子147の抵抗値によって分圧された電位が、論理素子148の入力閾値レベルよりも低くなるように設定されている。

【0068】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。基本的な動作は実施の形態4の場合と同様であり、スイッチ制御端子150に電源電位（VDD）を印加し、スイッチ素子139～141、145、146が導通するため、ワイヤ133～136に故障がない正常状態の場合は、前記分圧された電位は論理素子148の閾値よりも低いため論理素子148は所定の値を出力する。一方、ワイヤ135～136の間に短絡故障が発生している場合は、チップ間接続端子119～120間に接続された抵抗素子144が迂回されるため、前記分圧された電位は論理素子148の閾値よりも高くなり、論理素子148の出力は前記の正常状態の反転値を出力する。従って、論理素子148の出力値

によって複数のチップ間接続端子の短絡故障を一度の測定で一括で試験することができる。さらに、論理反転で検出しているので、電圧を印加しながら電流を測定するという比較的高級な試験装置が不要となり、試験装置の簡単化が図れる。

【0069】

(実施の形態10)

図10は本発明の実施の形態10（請求項12対応）における半導体装置の構成を示すブロック回路図である。図10において、実施の形態9の図9におけるのと同じ符号は同一構成要素を指しているため、詳しい説明は省略する。実施の形態9と相違する点は、論理素子149である。論理素子149の入力部と電源電位（VDD）の間に直列に接続した抵抗素子142～144の総合的な抵抗値と、論理素子148の入力部と接地電位（VSS）の間に直列に接続した抵抗分割用抵抗素子147の抵抗値によって分圧された電位が、論理素子148の入力閾値レベルよりも高くなるように設定されている。論理素子149の動作の論理は実施の形態9の場合の論理素子148とは逆になっている。

【0070】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。基本的な動作は実施の形態1の場合と同様であり、導通試験用端子137に電源電位（VDD）を印加し、スイッチ素子139～141、145、146が導通するため、ワイヤ133～136に故障がない正常状態の場合は、前記分圧された電位は論理素子149の閾値よりも高いため論理素子は所定の値を出力する。一方、ワイヤ133～136いずれかに断線故障が発生している場合は、前記分圧された電位は論理素子149の閾値よりも低くなるため、論理素子149の出力は前記の正常状態の反転値を出力する。従って、論理素子149の出力値によって複数の被試験チップ間接続端子どうしを接続するワイヤの断線故障を一度の測定で一括で試験することができる。さらに、論理反転で検出しているので、電圧を印加しながら電流を測定するという比較的高級な試験装置が不要となり、試験装置の簡単化が図れる。断線故障と短絡故障とが本実施の形態と実施の形態9との違いである。

【0071】

(実施の形態 11)

図 11 は本発明の実施の形態 11 (請求項 13 対応) における半導体装置の構成を示すブロック回路図である。実施の形態 11 は、実施の形態 9 と実施の形態 10 とを合体させたものに相当する。図 11 において、実施の形態 9, 10 の図 9、図 10 におけるのと同じ符号は同一構成要素を指しているため、詳しい説明は省略する。図 9 における論理素子 148 と同様の第 1 の論理素子 148a と、図 10 における論理素子 149 と同様の第 2 の論理素子 149a を備えている。これによれば、短絡故障と断線故障の両方を検出することができる。

【0072】**(実施の形態 12)**

図 12 は本発明の実施の形態 12 (請求項 14 対応) における半導体装置の構成を示すブロック回路図である。図 12 において、実施の形態 9 の図 9 におけるのと同じ符号は同一構成要素を指しているため、詳しい説明は省略する。実施の形態 9 と相違する点は、スイッチ素子 139b, 141b と抵抗素子 142b, 144b である。スイッチ素子 139b と抵抗素子 142b との直列接続体およびスイッチ素子 141b と抵抗素子 144b との直列接続体はそれぞれ、図 9 におけるスイッチ素子 139 と抵抗素子 142 との直列接続体、スイッチ素子 141 と抵抗素子 144 との直列接続体の配置位置を子チップ 115 から親チップ 101 に移行したものに相当している。

【0073】

以上のように構成された本実施の形態の半導体装置の動作を以下に説明する。基本的な動作は実施の形態 9 の場合と同様であり、導通試験用端子 137 に電源電位 (VDD) を印加し、スイッチ素子 139 ~ 141, 145, 146 が導通するため、ワイヤ 133 ~ 136 に故障がない正常状態の場合は、前記分圧された電位は論理素子 148 の閾値よりも低いため論理素子は所定の値を出力する。一方、ワイヤ 133 ~ 135 の間に短絡故障が発生している場合は、チップ間接続端子 126 ~ 127 間に接続された抵抗素子 143b が迂回されるため、前記分圧された電位は論理素子 148 の閾値よりも高くなるため、論理素子 148 の出力は前記の正常状態の反転値を出力する。従って、論理素子 148 の出力値に

よって複数のチップ間接続端子の短絡故障を一度の測定で一括で試験することができる。さらに、論理反転で検出しているので、電圧を印加しながら電流を測定するという比較的高級な試験装置が不要となり、試験装置の簡単化が図れる。加えて、親チップ101の側に集約しているので、子チップ115には導通試験のためのスイッチ素子や抵抗素子の追加などの設計変更が一切不要となり、子チップ115としては他社からの入手した半導体チップを利用することができる。

【0074】

以上で説明した各実施の形態において、スイッチ素子、あるいはスイッチ素子と抵抗のペアは、N型またはP型またはN型及びP型のMOSトランジスタによって容易に構成可能である。

【0075】

【発明の効果】

本発明によれば、従来では1端子ずつ試験していた複数の端子の短絡故障を一括で検出するため、導通試験時間を大幅に短縮でき、試験コストを削減できる効果を得る（請求項1）。

【0076】

また、本発明によれば、測定電流値がユニークな値となるため、短絡故障箇所をも特定できる効果を得る（請求項2）。

【0077】

また、本発明によれば、論理素子の出力値反転により、複数の端子の短絡故障を一括で検出するため、導通試験時間を大幅に短縮でき、試験コストを削減できる効果を得る。さらに、電圧レベルの測定のみで試験が実施できるため、電圧を印加しながら電流を測定するという比較的高級な試験装置が不要となり、試験装置の簡単化が図れる効果を得る（請求項3）。

【0078】

また、本発明によれば、従来では有効な試験手法が無かったチップ間接続のワイヤの断線故障を一括で検出できる効果を得る（請求項4）。

【0079】

また、本発明によれば、チップ間接続のワイヤの断線故障を一括で検出できる

効果に加えて、電流値の差異を判別することによって、従来では有効な試験手法が無かったチップ間接続端子間の短絡故障をも一括で検出できる効果を得る（請求項 5）。

【 0 0 8 0 】

また、本発明によれば、チップ間接続端子間の短絡故障について、短絡故障箇所を特定できる効果を得る（請求項 6）。

【 0 0 8 1 】

また、本発明によれば、チップ間接続端子間の短絡故障を一括で検出できる効果に加えて、第 2 の半導体チップには導通試験のためのスイッチ素子や抵抗素子の追加などの設計変更が一切不要となり、他社からの入手に有効である（請求項 7）。

【 0 0 8 2 】

また、本発明によれば、チップ間接続のワイヤの断線故障を検出できる効果に加えて、第 2 の半導体チップには導通試験のためのスイッチ素子や抵抗素子の追加などの設計変更が一切不要となり、他社からの入手に有効である（請求項 8）。

【 0 0 8 3 】

また、本発明によれば、論理素子の出力値反転によりチップ間接続端子間の短絡故障を一括で検出できる。さらに、電圧レベルの測定のみで試験が実施できるため従来のように電圧を印加しながら電流を測定するという比較的高級な試験装置が不要となり、試験装置の簡単化が図れる効果を得る（請求項 1 1， 1 2）。また、短絡故障と断線故障の両方を検出することができる（請求項 1 3）。

【 0 0 8 4 】

また、本発明によれば、チップ間接続端子間の短絡故障を一括で検出する上で、電圧レベルの測定のみで試験が実施できるため、電圧を印加しながら電流を測定するという比較的高級な試験装置が不要となり、試験装置の簡単化が図れる効果を得るとともに、第 2 の半導体チップには導通試験のためのスイッチ素子や抵抗素子の追加などの設計変更が一切不要となり、他社からの入手に有効である（請求項 1 4）。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 における半導体装置の構成を示すブロック回路図

【図 2】 本発明の実施の形態 2 における半導体装置の構成を示すブロック回路図

【図 3】 本発明の実施の形態 3 における半導体装置の構成を示すブロック回路図

【図 4】 本発明の実施の形態 4 における半導体装置の構成を示すブロック回路図

【図 5】 本発明の実施の形態 5 における半導体装置の構成を示すブロック回路図

【図 6】 本発明の実施の形態 6 における半導体装置の構成を示すブロック回路図

【図 7】 本発明の実施の形態 7 における半導体装置の構成を示すブロック回路図

【図 8】 本発明の実施の形態 8 における半導体装置の構成を示すブロック回路図

【図 9】 本発明の実施の形態 9 における半導体装置の構成を示すブロック回路図

【図 1 0】 本発明の実施の形態 1 0 における半導体装置の構成を示すブロック回路図

【図 1 1】 本発明の実施の形態 1 1 における半導体装置の構成を示すブロック回路図

【図 1 2】 本発明の実施の形態 1 2 における半導体装置の構成を示すブロック回路図

【図 1 3】 従来の技術における半導体装置の構成を示すブロック回路図

【図 1 4】 別の従来の技術における半導体装置の構成を示すブロック回路図

【符号の説明】

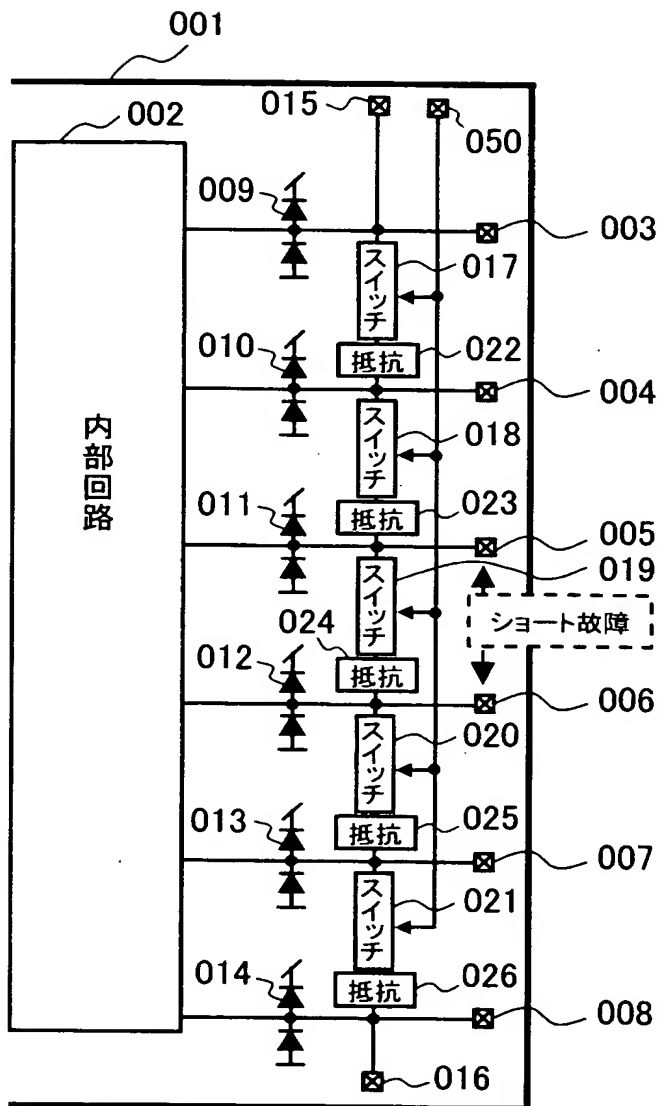
0 0 1：半導体チップ

002, 102, 116: 内部回路
003~008, 103~108: 端子
009~014, 109~114, 121~124, 129~132: ダイオード
015, 016, 137, 137a, 138, 138a: 導通試験用端子
017~021, 139~141, 139b, 141b, 201~204: スイッチ素子
022~026, 142~144, 142b, 144b: 抵抗素子
022a~026a, 142a~144a: 抵抗値が重み付けされた抵抗素子
027, 145: 電源電位側スイッチ素子
028, 146: 接地電位側スイッチ素子
029: 抵抗分割用抵抗素子
030, 148, 149: 論理素子
050, 150: スイッチ制御端子
101: 親チップ
115: 子チップ
117~120, 125~128: チップ間接続端子
133~136: ワイヤ
: 抵抗値が重み付けされた抵抗素子
148a: 第1の論理素子
149a: 第2の論理素子
200: スイッチ制御手段
205~208: 線路スイッチ素子

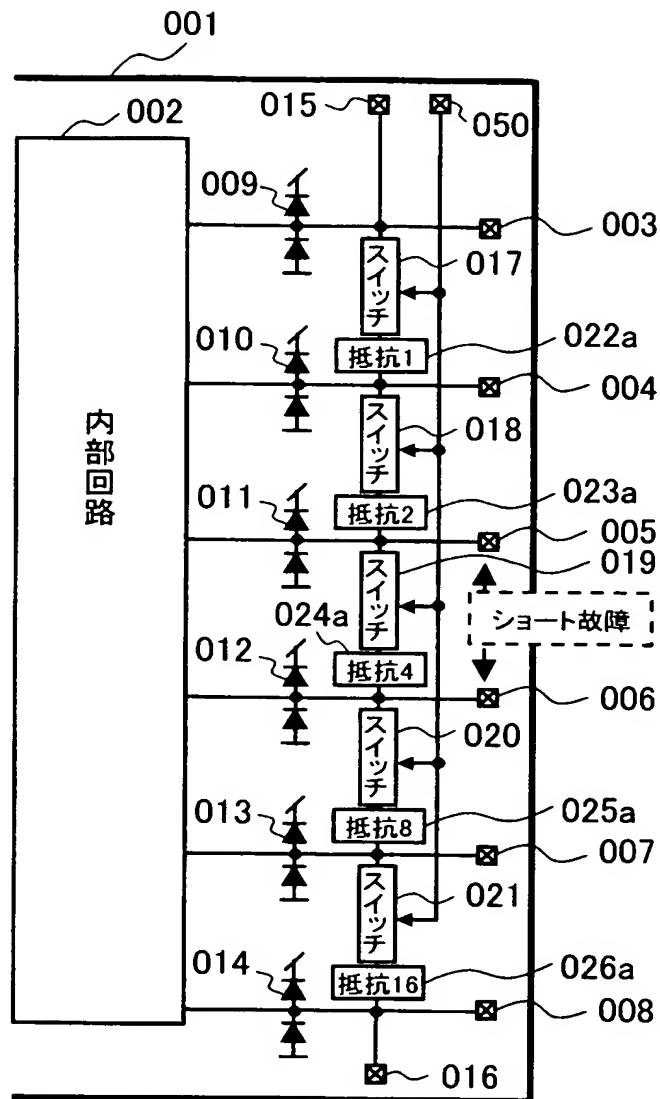
【書類名】

図面

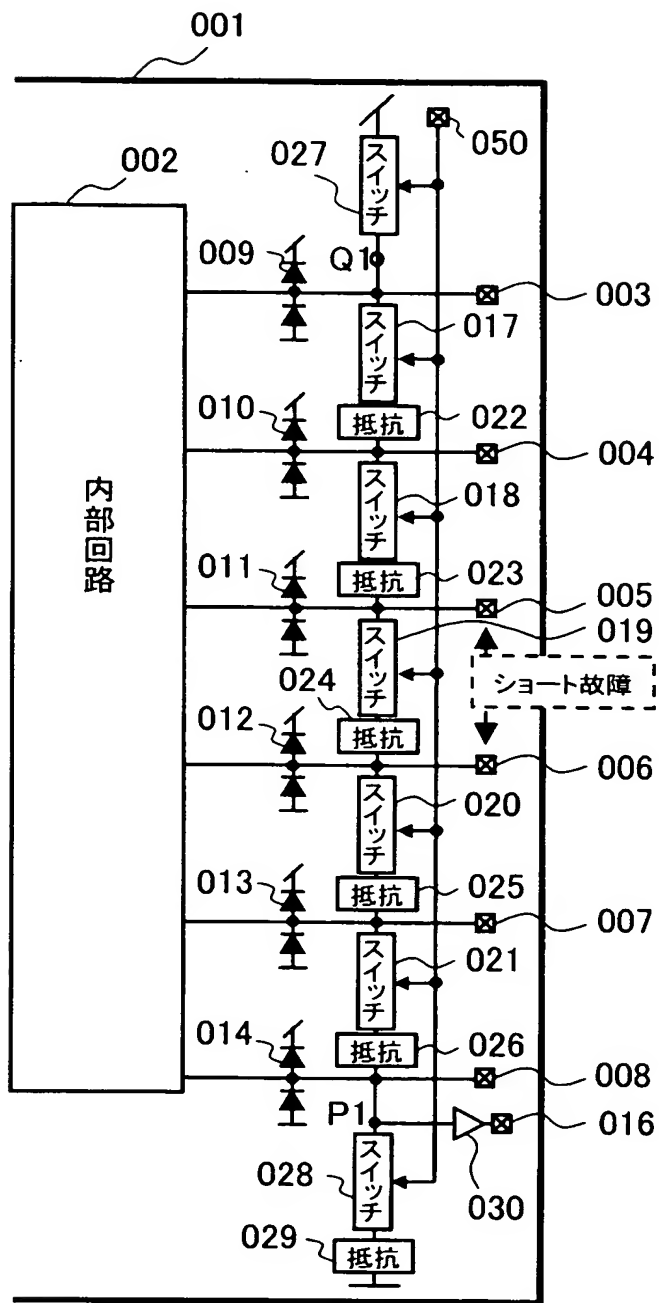
【図 1】



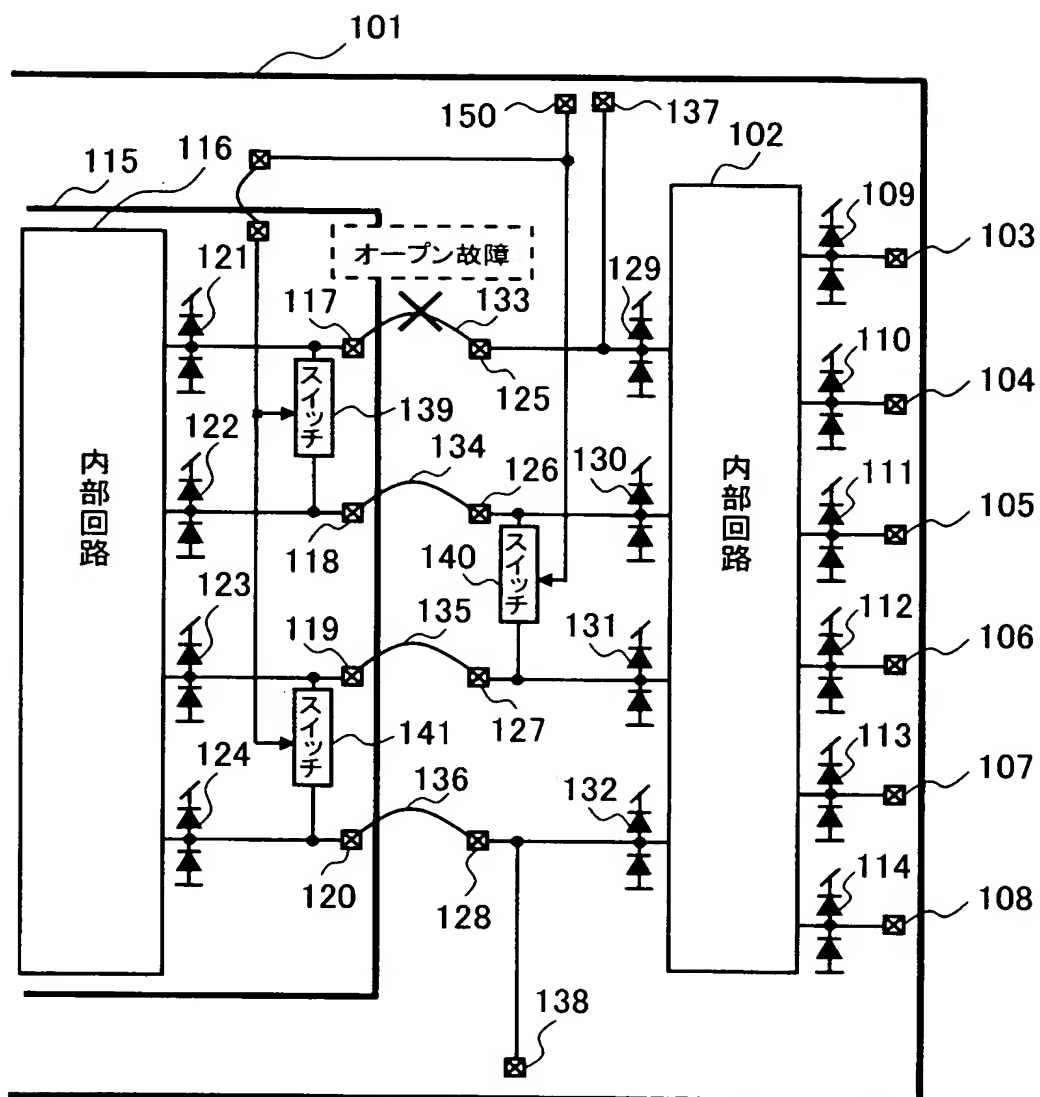
【図 2】



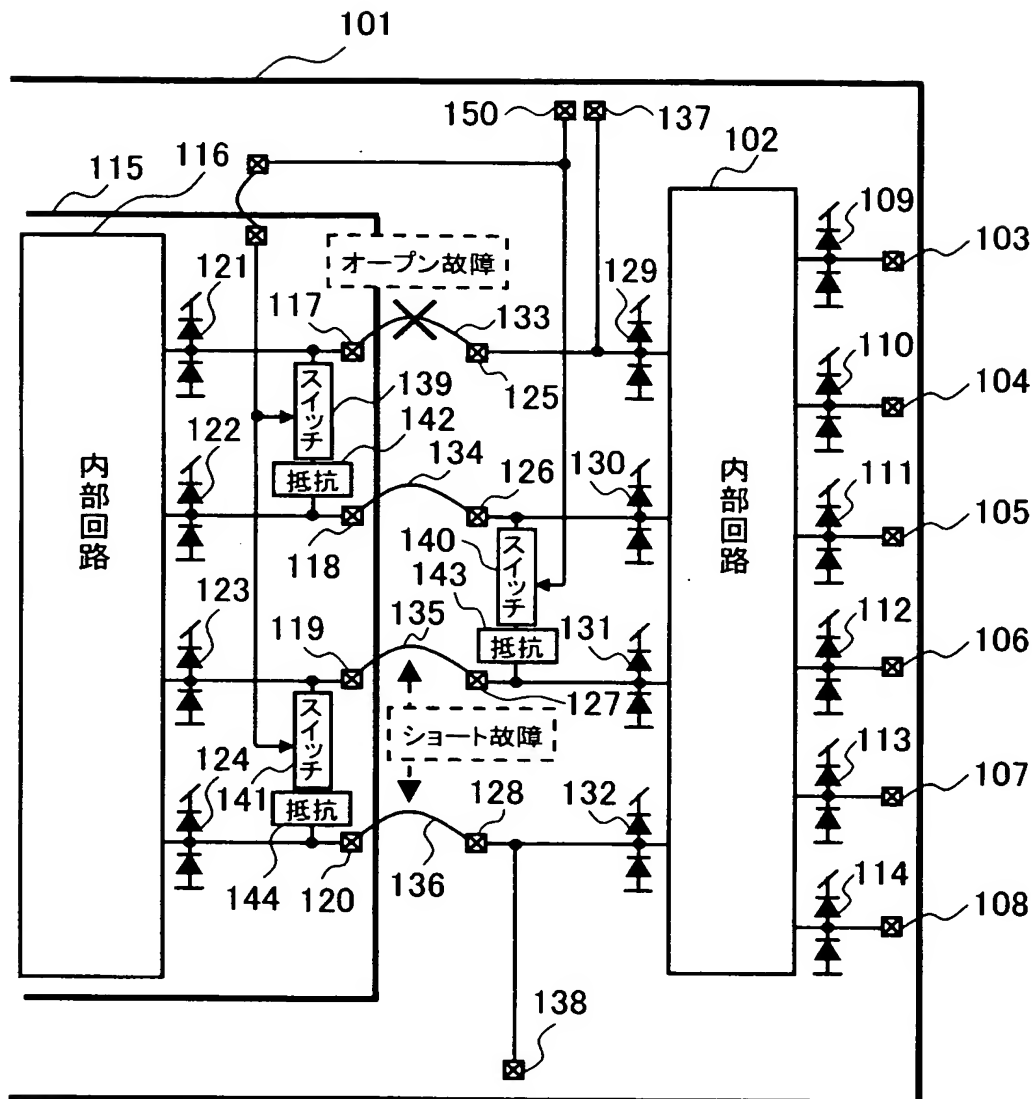
【図 3】



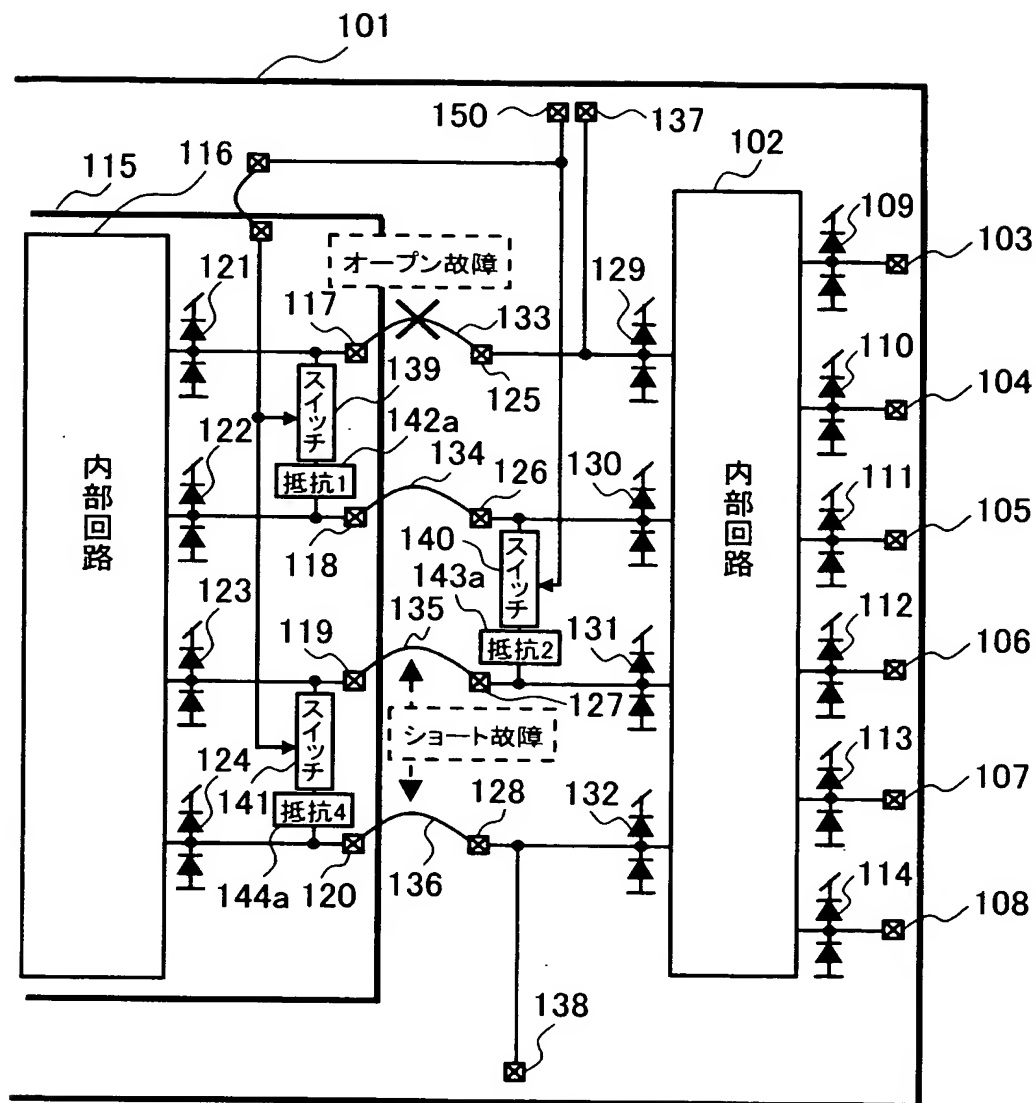
【図 4】



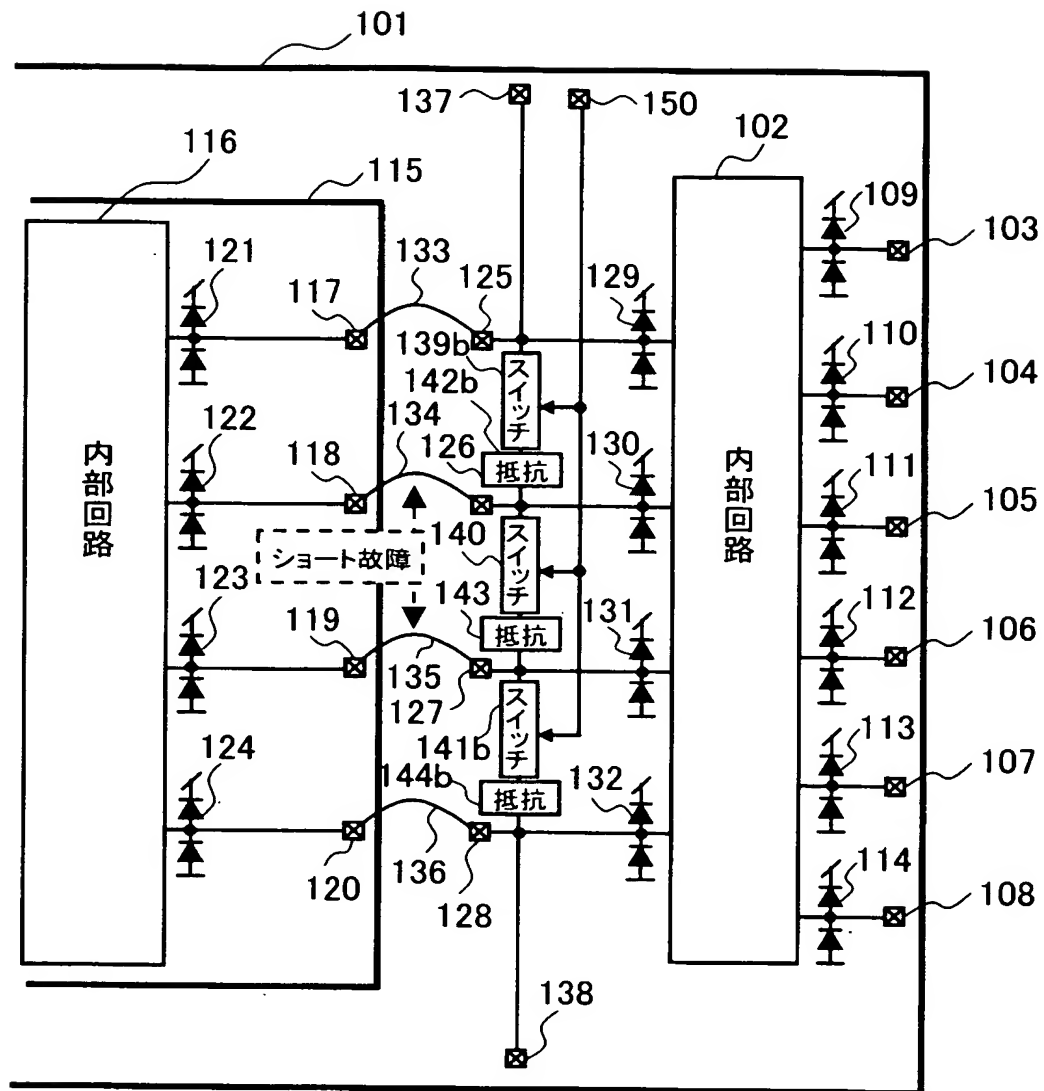
【図 5】



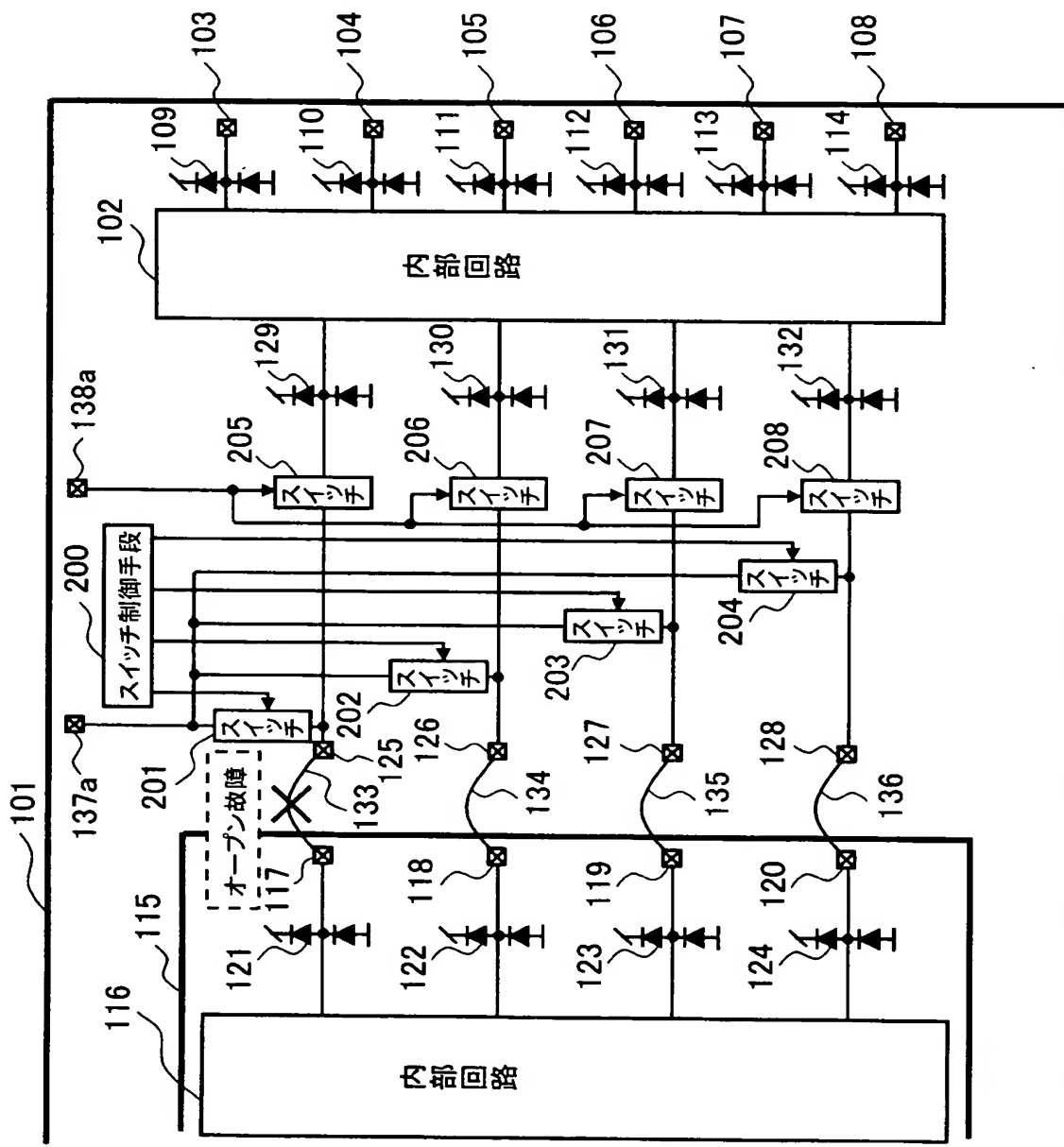
【図 6】



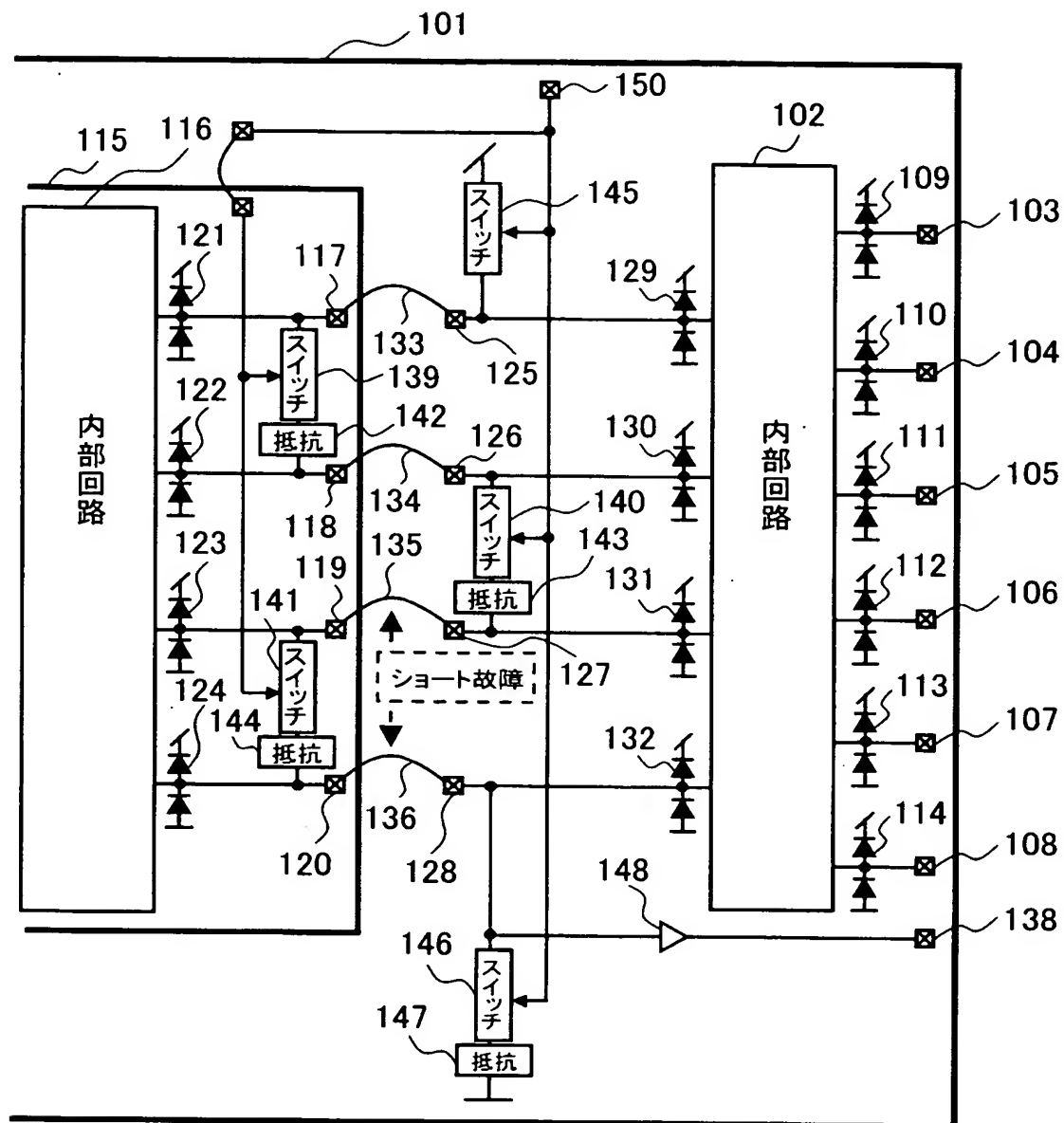
【図 7】



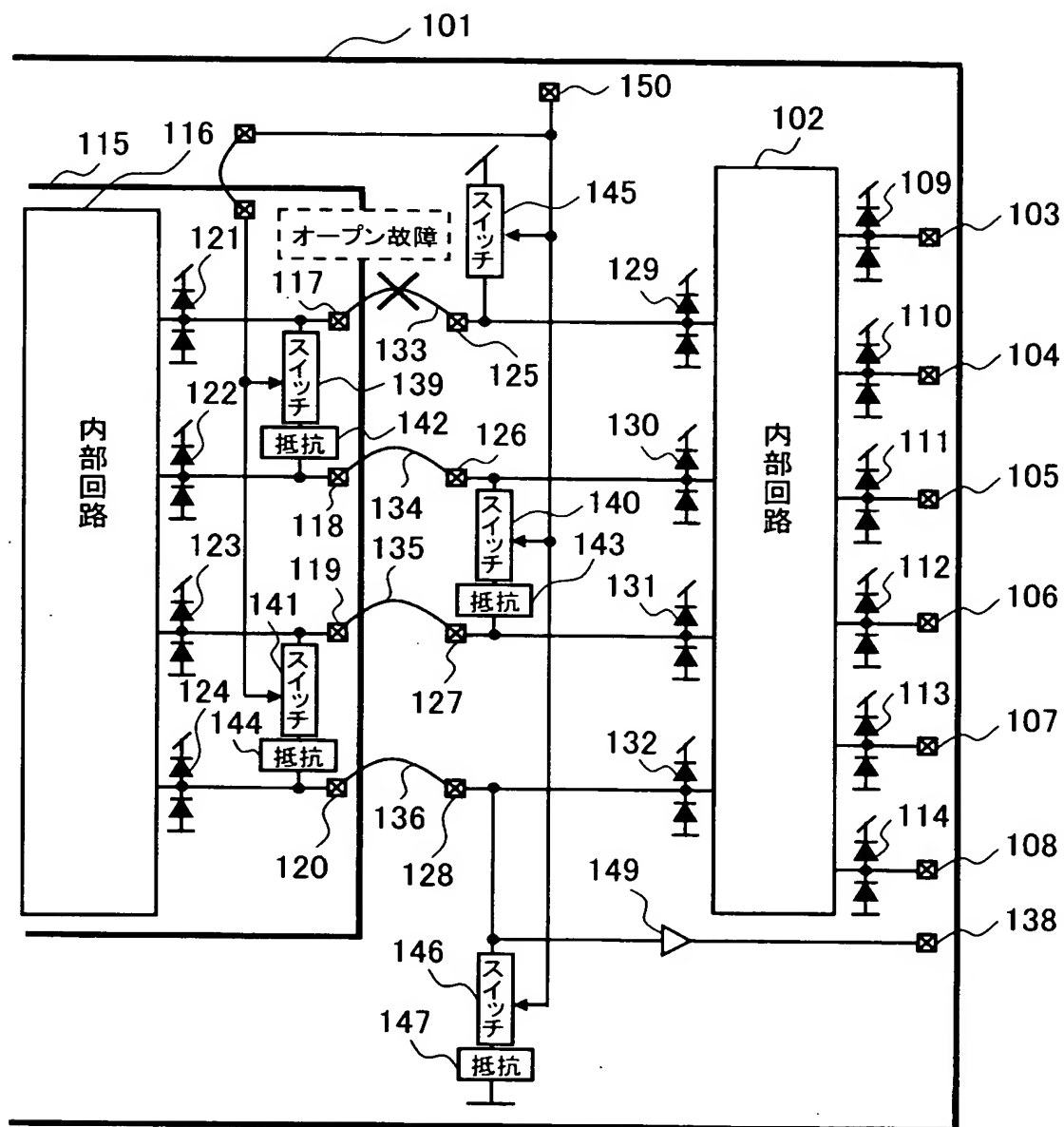
【図 8】



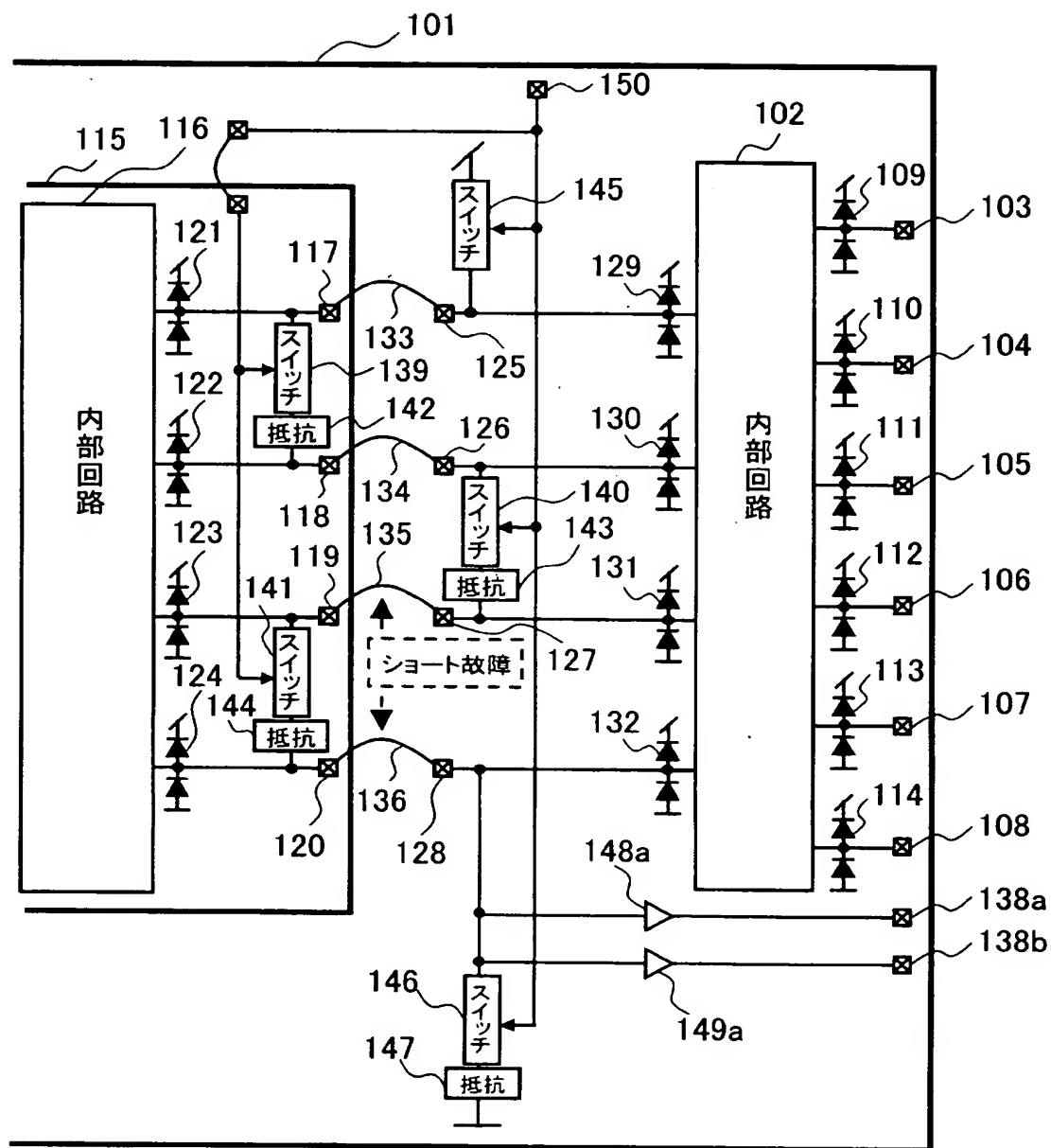
【図 9】



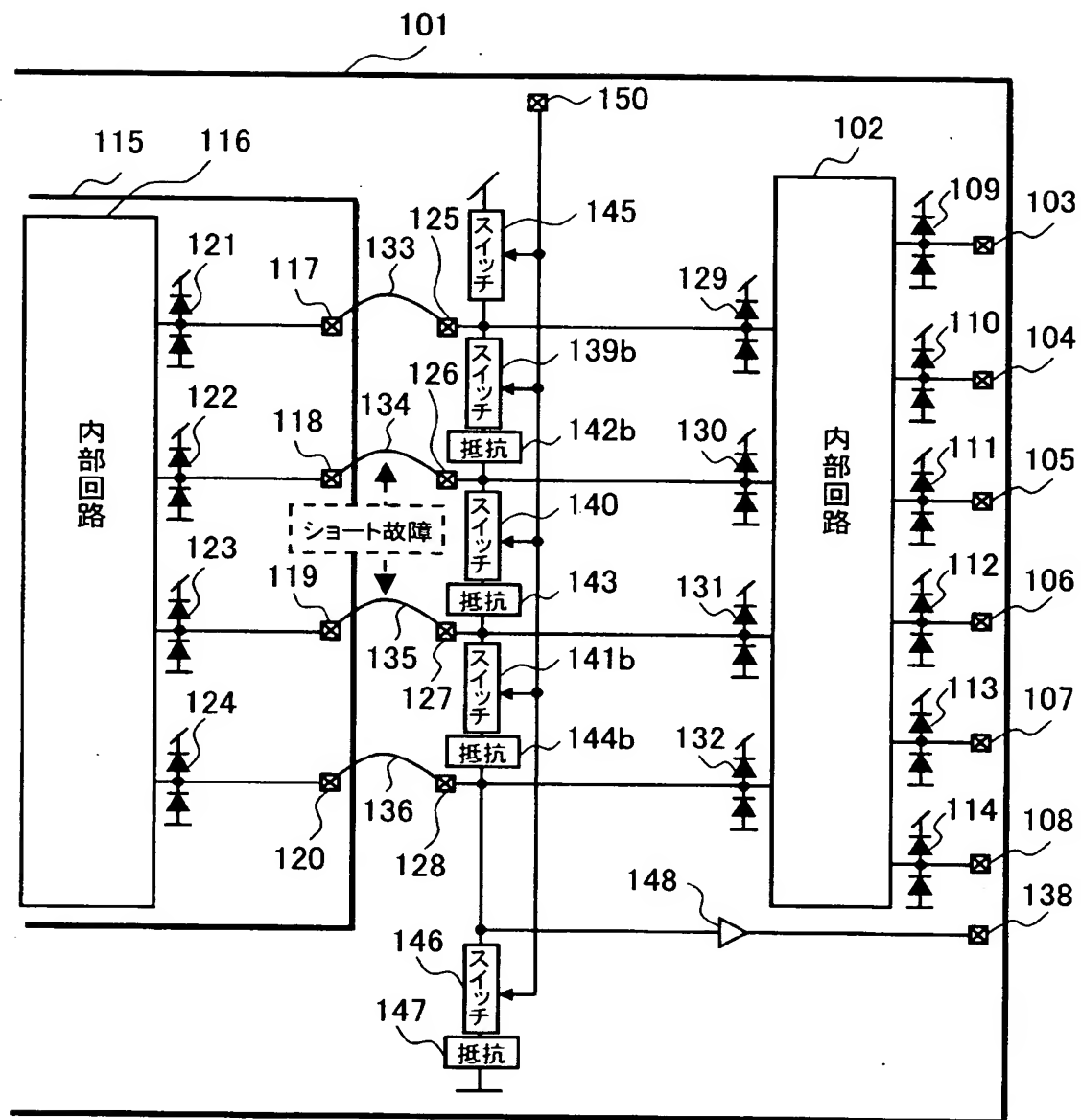
【図 10】



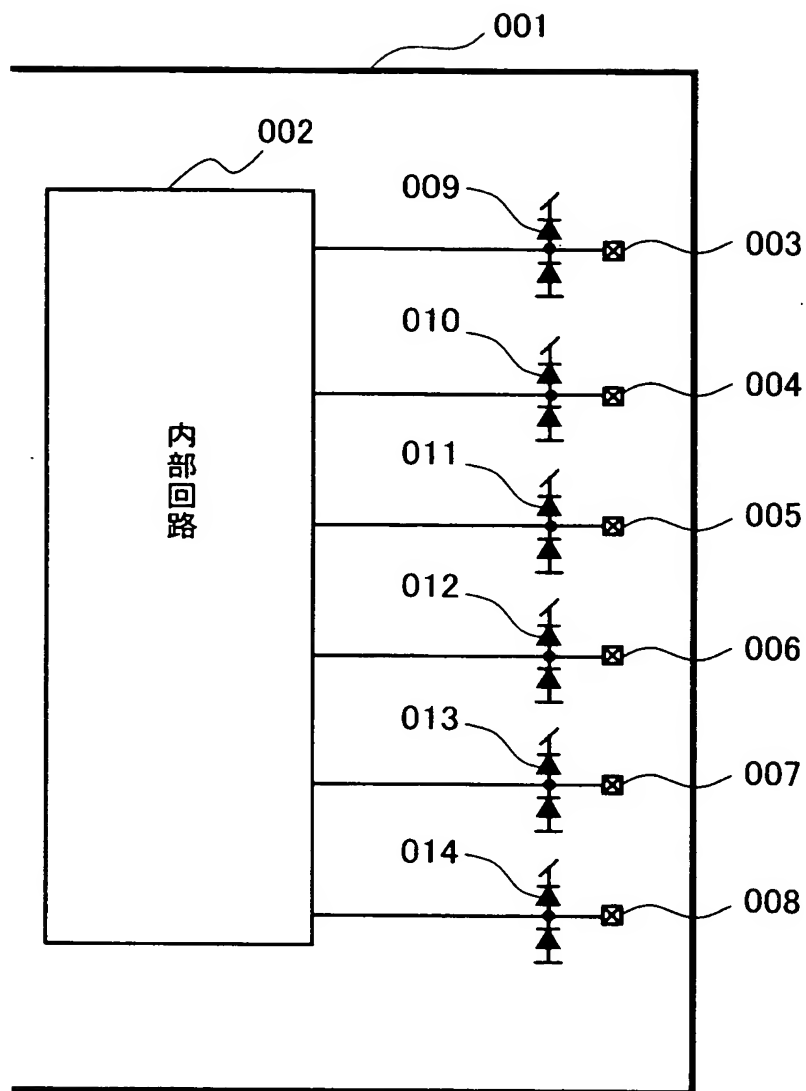
【図 11】



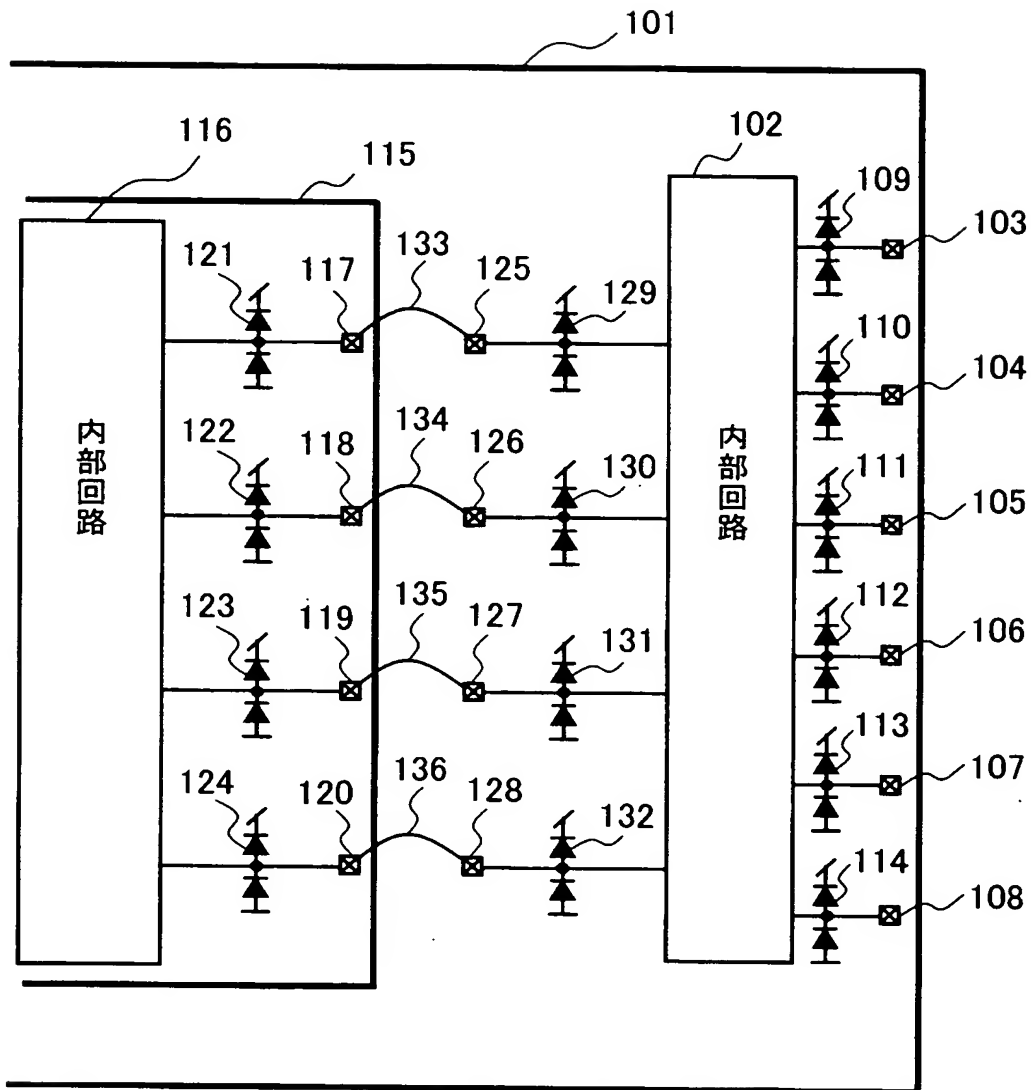
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 端子数に依存せず、短時間で端子の導通試験を実行可能な半導体装置を提供する。

【解決手段】 スイッチ素子 0 1 7 ～ 0 2 1 及び抵抗素子 0 2 2 ～ 0 2 6 を端子 0 0 3 ～ 0 0 8 の間に直列に接続し、全てのスイッチ素子を導通状態とし、スイッチ素子及び抵抗素子を直列に接続した一端部と他端部の間に流れる電流値を測定し、その電流値によって端子 0 0 3 ～ 0 0 8 に発生した短絡故障を一度の測定で一括で検出する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 3 5 9 0 1
受付番号	5 0 3 0 0 2 3 3 4 9 2
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 1 7 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月14日
-------	-------------

次頁無

特願 2 0 0 3 - 0 3 5 9 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 8 日
新規登録

住 所
氏 名

大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社